

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

09-282892

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

G11C 11/56

G11C 11/409

(21)Application number : 08-096354

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.04.1996

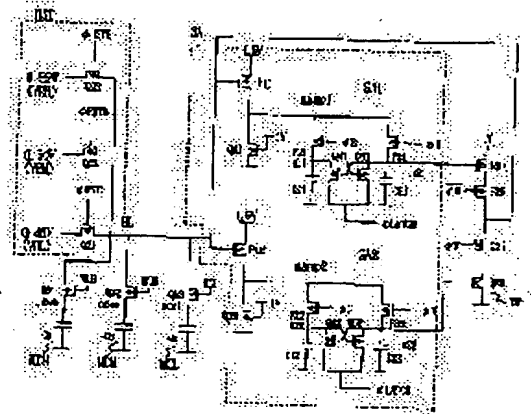
(72)Inventor : KAWASHIMA SHOICHIRO

(54) TERNARY MEMORY CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a ternary memory circuit by which a ternary signal is read out properly at a power supply of 1 V and whose storage capacity is enhanced by a method wherein a sense amplifier which is used exclusively to detect a high level and a sense amplifier which is used exclusively to detect a low level are used as one set.

SOLUTION: In the case of a ternary DRAM at a power-supply voltage of 1 V, three kinds of reset potentials VRH, VRM and VRL (0.52 V, 0.5 B and 0.48 V) are set at a reset circuit RST. Memory cells MCH, MCM, MCL and the like store any of 'H', 'M' and 'L' (1.0 V, 0.5 B and 0 V). A first sense amplifier SA1 holds, in a capacitor C11, the potential of a node namp 1 at a time when a bit line BL is reset to the reset potential VRH, it holds, in a capacitor C21, the potential of the node namp 1 at a time when it is read out from a memory cell, and it judges whether the bit line BL is at 'H' or not. A second sense amplifier SA2 uses the rest potential VRL so as to judge whether the bit line BL is at 'L' or not.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-282892

(43) 公開日 平成9年 (1997) 10月31日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/56			G 1 1 C 11/34	3 8 1 D
11/409				3 5 3 A

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願平8-96354
(22) 出願日 平成8年 (1996) 4月18日

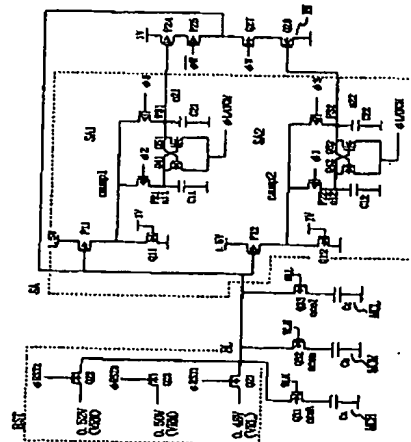
(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(72) 発明者 川嶋 将一郎
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(74) 代理人 弁理士 土井 健二 (外1名)

(54) 【発明の名称】 3値メモリ回路

(57) 【要約】

【課題】 1 Vの電源下で、H、M、Lレベルの3値の信号をメモリセルに記憶させても適正に読み出しを行うことができるセンスアンプ回路を提供する。

【解決手段】 メモリセルに接続されたビット線の電位を増幅する増幅部と、ビット線がリセット電位にされた時に増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、メモリセルによりビット線が読出し電位にされた時に増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有するセンスアンプ回路をHレベル検出用とLレベル検出用に備えた3値メモリ回路。



1

【特許請求の範囲】

【請求項1】メモリセルに接続されたビット線の電位を増幅する増幅部と、

該ビット線がリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、

該メモリセルによりビット線が読出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、

該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有することを特徴とするセンスアンプ回路。

【請求項2】H、M、Lレベルの3値の電位を記憶するメモリセルと、

該メモリセルに接続されるビット線と、
前記HレベルとMレベルのメモリセルが読みだされた時のビット線の電位の中間の第1のリセット電位にビット線をリセットする第一のリセット回路と、

該ビット線を前記Mレベル近傍の第2のリセット電位にリセットする第二のリセット回路と、

前記LレベルとMレベルのメモリセルが読みだされた時のビット線の電位の中間の第3のリセット電位に該ビット線をリセットする第三のリセット回路と、

前記Hレベルのメモリセルが読みだされた時を検出する第一のセンスアンプ回路と、

前記Lレベルのメモリセルが読みだされた時を検出する第二のセンスアンプ回路と、

該第一、第二のセンスアンプ回路の出力に従って再書き込み電位を前記ビット線にフィードバックする再書き込み回路とを有し、

前記第一のセンスアンプ回路は、

ビット線の電位を増幅する増幅部と、

該ビット線が第1のリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、

該メモリセルによりビット線が読出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、

該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有し前記第二のセンスアンプ回路は、

ビット線の電位を増幅する増幅部と、

該ビット線が第3のリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、

該メモリセルによりビット線が読出し電位にされた時に

2

該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、

該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有することを特徴とする3値メモリ回路。

【請求項3】請求項2記載の3値メモリにおいて、前記再書き込み回路は、前記第一のセンスアンプ回路の出力をゲートに入力する第一のPチャネルトランジスタと、前記第二のセンスアンプ回路の出力をゲートに入力する第一のNチャネルトランジスタとを有するCMOSインバータ回路で構成され、前記第一のセンスアンプ回路がメモリセルのHレベルを検出した時に前記第一のPチャネルトランジスタを導通して出力をHレベルにし、前記第二のセンスアンプ回路がメモリセルのLレベルを検出した時に前記第一のNチャネルトランジスタを導通して出力をLレベルにし、前記メモリセルがMレベルの時には、出力をMレベルにすることを特徴とする。

【請求項4】所定電位の電源に接続され、H、M、Lレベルを有する3値入力をゲートに入力する第一のPチャネルトランジスタと、

接地電源に接続され、前記3値入力をゲートに入力する第一のNチャネルトランジスタと、

前記第一のPチャネルトランジスタと第一のNチャネルトランジスタの間に設けられ、リセット時に非導通となりリセット時以外で導通となる第二のP、Nチャネルトランジスタと、

該第二のP、Nチャネルトランジスタの接続点に接続され、リセット時に前記Mレベルの電位にリセットされる出力端子とを有することを特徴とする3値インバータ回路。

【請求項5】請求項2記載の3値メモリ回路において、前記再書き込み回路と出力バッファとの間に請求項4記載の3値インバータを有することを特徴とする。

【請求項6】所定電位の電源に接続され、H、M、Lレベルを有する3値入力をゲートに入力する第一のPチャネルトランジスタと、

接地電源に接続され、前記3値入力をゲートに入力する第一のNチャネルトランジスタと、

前記第一のPチャネルトランジスタと第一のNチャネルトランジスタの間に設けられ、リセット時に非導通となりリセット時以外で導通となる第二のP、Nチャネルトランジスタと、

該第二のP、Nチャネルトランジスタの接続点に接続され、リセット時に前記Hレベルの電位にリセットされる出力端子とを有することを特徴とするHレベル検出回路。

【請求項7】所定電位の電源に接続され、H、M、Lレベルを有する3値入力をゲートに入力する第一のPチャネルトランジスタと、

接地電源に接続され、前記3値入力をゲートに入力する第一のNチャネルトランジスタと、

前記第一のPチャネルトランジスタと第一のNチャネルトランジスタの間に設けられ、リセット時に非導通となりリセット時以外で導通となる第二のP、Nチャネルトランジスタと、

該第二のP、Nチャネルトランジスタの接続点に接続され、リセット時に前記Lレベルの電位にリセットされる出力端子とを有することを特徴とするLレベル検出回路。

【請求項8】2進数の3ビット信号を3進数の2ビット信号に変換するデコーダ回路において、

該2進数の3ビット信号のうち第一、第二のビット信号が所定の組み合わせの時に検出する例外検出部と、

該例外が検出されない時に、該第一、第二のビット信号を入力して反転させ、該例外が検出される時に2進数の3ビット信号のうち第三のビット信号を入力して反転させる第一及び第二のマルチプレクサ回路と、

該例外が検出されない時に、該第一及び第二のマルチプレクサ回路からの出力信号を入力し、該第一、第二のビット信号の組み合わせに従って、L、M、Hレベルを3進数の第一のビット信号として出力し、該例外が検出される時に、前記2進数の第三のビット信号を3進数の第一のビット信号として出力する第一のインバータ回路と、

該例外が検出されない時に、前記2進数の第三のビット信号に従って、LレベルとMレベルを3進数の第二のビット信号として出力し、前記例外が検出される時に、Hレベルを3進数の第二のビット信号として出力する第二のインバータ回路とを有することを特徴とするデコーダ回路。

【請求項9】3進数の2ビット信号を2進数の3ビット信号に変換するエンコーダ回路において、

3進数の第一のビット信号のHレベルを検出する回路とLレベルを検出する回路と、

3進数の第二のビット信号のHレベルを検出する回路とLレベルを検出する回路と、

上記Hレベル又はLレベル検出回路のいずれかの第一の出力が所定の信号の時に例外時と判定され、該判定信号により制御される第一、第二、第三のマルチプレクサ回路とを有し、

該第一のマルチプレクサ回路は、該例外が検出されない時に前記第一の出力に対応する逆相レベルの検出回路の第二の出力を反転し、該例外が検出される時に他方のビット信号のHレベル又はLレベル検出回路の一方の出力を反転し、

該第二のマルチプレクサ回路は、該例外が検出されない時に前記他方のビット信号のHレベル又はLレベル検出回路の一方の出力を反転し、該例外が検出される時にH又はLレベルの何れかの一方のレベルを出力し、

該第三のマルチプレクサ回路は、該例外が検出されない時に前記他方のビット信号のHレベル又はLレベル検出回路の他方の出力を反転し、該例外が検出される時にH又はLレベルの何れかの他方のレベルを出力することを特徴とするエンコーダ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、3値メモリ回路に係り、低電源電圧下であっても3値に対応する電圧値の差を正確に検出することができるセンスアンプ回路とその周辺回路としての2値と3値との間の変換回路とに関する。

【0002】

【従来の技術】現在普及している大容量の半導体メモリの一つは、メモリセル内に1または0の2値情報を記憶し、その2値情報に対応する電圧値をセンスアンプで検出するダイナミック型のRAMである。このメモリのセルは、1個のトランジスタと1個のキャパシタの2素子で構成されることで大容量を可能にしている。

【0003】しかしながら、より大容量化を進めるためには、単にこのメモリセルの数を増やすだけでは自ずと限界があり、それを解決する方法として3値の情報をメモリセルに記憶させる方法がある。

【0004】

【発明が解決しようとする課題】しかしながら、大容量化と共に低い電源電圧下で動作させることも要求されている。その場合、例えば1.0V程度の低い電源電圧下で3値の情報をメモリセルに記憶させると、3値に対応する電圧値の差が非常に狭くなり、それを検出するセンスアンプはより高感度であることが要求される。

【0005】従来のDRAMで使用されているセンスアンプは、フリップ・フロップ型のラッチセンスアンプであり、その2つの入力にビット線に読み出されるHレベルまたはLレベルの電圧とそれらの中間の基準電圧とが入力され、基準電圧とビット線の読み出しレベルの差を検出している。しかしながら、かかるラッチセンスアンプでは、それを構成する4個のトランジスタの閾値や電流駆動能力にアンバランスが存在し、それに伴うオフセット電圧の為に、2入力の電位差は少なくとも100mV程度が必要である。

【0006】一方、現在の1トランジスタ型のメモリセルによって1.0Vの電源電圧下で3値データを記憶する場合、例えばHレベルが1.0V、M(中間)レベルが0.5V、Lレベルが0Vとすると、ビット線とセルの容量比からビット線に読みだされる電圧は+100mV〜100mVを3つの領域に分割した領域内に入ることになる。従って、1つの区分はせいぜい70mV程度となり、上記した従来のセンスアンプでは入力オフセット電圧以下の電位差となり動作不良を起こすことがあり得る。

5

【0007】従って、3値メモリ実現の為に、上記した微小電圧差を有効に検出することができるセンスアンプを提供する必要がある。

【0008】また、3値メモリ回路を従来から一般的に使用されている2値データのシステム内で使用しようとする場合には、外部の2値データとメモリ内部の3値データとを変換する必要がある。ところが、かかる2値と3値との間の変換回路は従来からあまり提案されておらず、3値メモリを実現する上で必要な要件である。

【0009】そこで、本発明の目的は、3値メモリを実現するために必要な高感度のセンスアンプ回路を提供することにある。

【0010】また、本発明の他の目的は、3値メモリを実現するために必要な2値と3値の間の変換回路を提供することにある。

【0011】

【課題を解決するための手段】上記の目的は、本発明によれば、メモリセルに接続されたビット線の電位を増幅する増幅部と、該ビット線がリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、該メモリセルによりビット線が読出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有することを特徴とするセンスアンプ回路を提供することにより達成される。

【0012】かかる構成のセンスアンプ回路であれば、ビット線の電位が増幅部で一旦増幅され、その増幅後の電位差がラッチ回路で検出されるので、微小電位差であっても安定して検出することができる。

【0013】更に、上記の目的は、本発明によれば、H、M、Lレベルの3値の電位を記憶するメモリセルと、該メモリセルに接続されるビット線と、前記HレベルとMレベルのメモリセルが読みだされた時のビット線の電位の中間の第1のリセット電位にビット線をリセットする第一のリセット回路と、該ビット線を前記Mレベル近傍の第2のリセット電位にリセットする第二のリセット回路と、前記LレベルとMレベルのメモリセルが読みだされた時のビット線の電位の中間の第3のリセット電位に該ビット線をリセットする第三のリセット回路と、前記Hレベルのメモリセルが読みだされた時を検出する第一のセンスアンプ回路と、前記Lレベルのメモリセルが読みだされた時を検出する第二のセンスアンプ回路と、該第一、第二のセンスアンプ回路の出力に従って再書き込み電位を前記ビット線にフィードバックする再書き込み回路とを有し、前記第一のセンスアンプ回路は、ビット線の電位を増幅する増幅部と、該ビット線が第1のリセット電位にされた時に該増幅部で増幅された電位

6

を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、該メモリセルによりビット線が読出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有し前記第二のセンスアンプ回路は、ビット線の電位を増幅する増幅部と、該ビット線が第3のリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、該メモリセルによりビット線が読出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有することを特徴とする3値メモリ回路を提供することにより達成される。

【0014】上記の様に、二つのセンスアンプ回路を設けることで、3値情報を記憶するメモリセルの場合でも、安定して検出することができる。

【0015】上記の様な3値情報を記憶するメモリ回路の場合に、センスアンプ回路から出力回路まで又は入力回路から書き込み増幅回路までの3値信号を信号成形する必要がある。

【0016】その成形回路として、本発明では、所定電位の電源に接続され、H、M、Lレベルを有する3値入力をゲートに入力する第一のPチャネルトランジスタと、接地電源に接続され、前記3値入力をゲートに入力する第一のNチャネルトランジスタと、前記第一のPチャネルトランジスタと第一のNチャネルトランジスタの間に設けられ、リセット時に非導通となりリセット時以外で導通となる第二のP、Nチャネルトランジスタと、該第二のP、Nチャネルトランジスタの接続点に接続され、リセット時に前記Mレベルの電位にリセットされる出力端子とを有することを特徴とする3値インバータ回路が提供される。

【0017】また、本発明によれば、上記の3値インバータ回路において、リセット時の出力端子の電位をHレベルにするかLレベルにするかで、3値信号のHレベル又はLレベル信号を検出することができる。

【0018】上記した目的は、本発明によれば、2進数の3ビット信号を3進数の2ビット信号に変換するデコーダ回路において、該2進数の3ビット信号のうち第一、第二のビット信号が所定の組み合わせの時を検出する例外検出部と、該例外が検出されない時に、該第一、第二のビット信号を入力して反転させ、該例外が検出される時に2進数の3ビット信号のうち第三のビット信号を入力して反転させる第一及び第二のマルチプレクサ回路と、該例外が検出されない時に、該第一及び第二のマ

ルチプレクサ回路からの出力信号を入力し、該第一、第二のビット信号の組み合わせに従って、L、M、Hレベルを3進数の第一のビット信号として出力し、該例外が検出される時に、前記2進数の第三のビット信号を3進数の第一のビット信号として出力する第一のインバータ回路と、該例外が検出されない時に、前記2進数の第三のビット信号に従って、LレベルとMレベルを3進数の第二のビット信号として出力し、前記例外が検出される時に、Hレベルを3進数の第二のビット信号として出力する第二のインバータ回路とを有することを特徴とするデコーダ回路を提供することにより達成される。

【0019】また、同じ目的は、本発明によれば、3進数の2ビット信号を2進数の3ビット信号に変換するエンコーダ回路において、3進数の第一のビット信号のHレベルを検出する回路とLレベルを検出する回路と、3進数の第二のビット信号のHレベルを検出する回路とLレベルを検出する回路と、上記Hレベル又はLレベル検出回路のいずれかの第一の出力が所定の信号の時に例外時と判定され、該判定信号により制御される第一、第二、第三のマルチプレクサ回路とを有し、該第一のマルチプレクサ回路は、該例外が検出されない時に前記第一の出力に対応する逆相レベルの検出回路の第二の出力を反転し、該例外が検出される時に他方のビット信号のHレベル又はLレベル検出回路の一方の出力を反転し、該第二のマルチプレクサ回路は、該例外が検出されない時に前記他方のビット信号のHレベル又はLレベル検出回路の一方の出力を反転し、該例外が検出される時にH又はLレベルの何れかの一方のレベルを出力し、該第三のマルチプレクサ回路は、該例外が検出されない時に前記他方のビット信号のHレベル又はLレベル検出回路の他方の出力を反転し、該例外が検出される時にH又はLレベルの何れかの他方のレベルを出力することを特徴とするエンコーダ回路。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面に従って説明する。しかしながら、本発明の技術的範囲がかかる実施の形態に限定されるものではない。

【0021】〔センスアンプの動作原理〕図1は、本発明にかかるセンスアンプの動作原理を説明する為の回路図であり、図2はその動作原理を説明する為のタイミングチャート図である。本明細書では、Pチャネル型MOSトランジスタについてはPを引用符号として使用し、Nチャネル型MOSトランジスタについてはQを引用符号として使用する。

【0022】図1の回路内のNチャネル型MOSトランジスタは閾値電圧が0.6Vで、Pチャネル型MOSトランジスタは閾値電圧が-0.6Vであるとする。図1の回路は、メモリセルMC、リセット回路RST及びセンスアンプSAから構成される。メモリセルMCは、ビット線BLとワード線WORDとの交差部に設けられた

トランジスタQ3とキャパシタCcから構成されている。キャパシタCcの対向電極は電源の中間電位である0.5Vが印加されている。また、リセット回路RSTは、ビット線BLの電位を0.5Vの基準電位VREFにリセットする回路である。

【0023】図1のセンスアンプSAには、ビット線BLの電位を増幅するP型トランジスタP1と定電流源のN型トランジスタQ1からなる増幅回路が設けられ、電源電圧を昇圧した1.5V電位に接続されている。更に、基準電圧VREFを増幅した時のノードnampをサンプリング保持する回路P2、C1と、読み出した時のビット線電位を増幅した時のノードnampをサンプリング保持する回路P3、C2と、それぞれの保持電位であるノードn1、n2の電位差を検出するラッチ回路Q4、Q5、Q6を有する。

【0024】次に、図2に示したタイミングチャート図に従って図1の動作の説明を行なう。ここでは、動作原理の説明であるため、メモリセルMCのノードnceには、Hレベルの1VとLレベルの0Vとが蓄積されているとする。先ず、期間t1においてリセットパルスφRSTが1.5Vに立ち上がりビット線BLを基準電位VREFレベルにリセットする。そのビット線電位は増幅トランジスタP1により増幅され、ノードnampに基準電位VREFに対応した電位が生成され、サンプルパルスφ1のLレベルによりトランジスタP2を介してその電位がキャパシタC1にサンプルされる。

【0025】上記のリセット期間の後、ワード線WORDが1.5Vに立ち上げられ、メモリセルに蓄積されていたHレベルに対応する電荷がビット線BLに流れだす。ビット線の容量負荷をCBLとすると、ビット線BLの電位は、

$$VREF + Cc / (CBL + Cc) \times 0.5V$$

(通常、Cc / (CBL + Cc) は0.1程度)

に上昇する。その上昇分の約0.05Vが、増幅トランジスタP1により増幅され、ノードnampの電位はより低くなる。そして、期間t2において、サンプルパルスφ2のLレベルによりトランジスタP3を介してその電位がキャパシタC2にサンプルされる。

【0026】その後、期間t3において、ラッチパルスφLATCHによってラッチ回路が活性化され、サンプリングされていたノードn1とn2の電位差が検出される。

【0027】期間t4、t5、t6においては、メモリセルのLレベルを検出するために、リセット電位のサンプリング、読み出し電位のサンプリング及びラッチ増幅がそれぞれ行なわれる。

【0028】上記の通り、ビット線BLに発生する±Cc / (CBL + Cc) × 0.5V (約0.05V) の電位変動は、増幅トランジスタP1により増幅され、その増幅後の電位のノードn1とn2がラッチ回路で確実に差動増幅される。具体的には、ビット線BLに生じる±

0.05V程度の電圧は、増幅トランジスタP1によって±0.2V程度まで増幅される。

【0029】上記説明した通り、図1のセンスアンプ回路では、リセット時のビット線の電位と読み出し時の電位とを時分割でサンプリングしている。しかしながら、サンプルパルスφ1, 2のパルス幅を狭くすることにより、メモリの読み出し動作に特に影響を与えることは少ない。即ち、サンプルパルスφ1, 2が短いパルスであっても、ノードnampに生成される増幅された電位に応じてトランジスタP2, P3のゲート・ソース間電圧が異なるので、それに伴いノードnampが高い場合には多くの電流、低い場合には少ない電流がそれぞれ流れるので、結果的にキャパシタC1, C2に充電される電位の差はノードnampの電位差の4~5倍に増幅された値になる。

【0030】[3値DRAMへの適用例] 図3は、上記のセンスアンプ回路を3値DRAMに適用した時の回路図である。また、図4はその動作を説明するタイミングチャート図である。この例でも、電源電圧は1V、NMOSTランジスタの閾値は0.6V、PMOSTランジスタの閾値は-0.6Vとする。

【0031】図示される通り、リセット回路RSTには3種類のリセット電位(0.52V, 0.5V, 0.48V)が準備されている。そして、メモリセルとして図中にはHレベル(1V)を記憶するメモリセルMCH, Mレベル(0.5V)を記憶するメモリセルMCM, Lレベル(0V)を記憶するメモリセルMCLの3個が示されている。ビット線BLに接続されるセンスアンプ回路SAには、図1で説明したセンスアンプ回路が2組SA1, SA2設けられている。それらのセンスアンプSA1, SA2からの出力が再書き込み回路RWを介して、ビット線BLに戻されている。

【0032】センスアンプSA1は、ビット線BLが高いリセットレベルVRHにリセットされている時のノードnamp1の電位をキャパシタC11にサンプリングし、メモリセルから読みだされた時のノードnamp1の電位をキャパシタC21にサンプリングする。つまり、ビット線の電位が、Hレベルの値に対応するか否かの判定を行なう。従って、Hレベルが読みだされる時は、ビット線電位はより高く変化し、ノードnamp1はより低く増幅されるので、 $n11 > n21$ の電位関係となり、ノードn21はLレベルとして読みだされる。Hレベル以外の場合には、 $n11 < n21$ となる。

【0033】センスアンプSA2は、ビット線BLに低いリセットレベルVRLにリセットされている時のノードnamp2の電位をキャパシタC12にサンプリングし、メモリセルから読みだされた時のノードnamp2の電位をキャパシタC22にサンプリングする。つまり、ビット線の電位が、Lレベルの値に対応するか否かの判定を行なう。従って、Lレベルが読みだされる時

は、ビット線電位はより低く変化し、ノードnamp2はより高い電位になるので、 $n12 < n22$ の電位関係となり、ノードn22はHレベルとして読みだされる。Lレベル以外の場合には、 $n12 > n22$ となる。

【0034】従って、1対のセンスアンプSA1, SA2の出力n21, n22の出力は、

Hレベル読み出し時: $n21 = L, n22 = L$

Mレベル読み出し時: $n21 = H, n22 = L$

Lレベル読み出し時: $n21 = H, n22 = H$

10 となる。

【0035】再書き込み回路は、一対の逆相信号φW, /φWにより活性化され、1組のセンスアンプSA1, SA2で検出された出力によって再書き込み電位(1V, 0.5V, 0V)をビット線にフィードバックする。

【0036】読み出し時のビット線電位が、リセット電位VRHより高い場合は、 $n21 = 0V, n22 = 0V$ となり、トランジスタP24がオン、Q28がオフとなり、再書き込み電位は1Vとなる。

20 【0037】読み出し時のビット線電位が、リセット電位VRLより低い場合は、 $n21 = H, n22 = H$ となり、トランジスタP24がオフ、Q28がオンとなり、再書き込み電位は0Vとなる。

【0038】読み出し時のビット線電位が、中間値の場合は、 $n21 = H, n22 = 0V$ となるので、トランジスタP24, Q28が共にオフとなり、ビット線電位がそのまま再書き込みされる。このビット線電位は、読み出し直前に0.5Vにリセットされ、セルへのアクセスにより±0.02V以下の変動をする。しかし、その変動分は、次のアクセス時にCc/(CBL+Cc)倍(約0.1倍)され、ビット線には $0.5V \pm 0.002V$ が読みだされるので、Mレベルの読み出しに支障はない。

30 【0039】尚、ノードn21がHレベルの時にトランジスタP24がオフする為には $0.4V(1V - V_{th}(0.6))$ 以上であることが必要で、ノードn22がHレベルの時にトランジスタQ28がオンする為には $0.6V(V_{th})$ 以上であることが必要である。センスアンプSA1, 2内のラッチ回路にはプルアップ回路がないので、サンプル電圧のnamp1とnamp2の電位が0.6V以上になる様に、増幅回路のトランジスタP11, Q11とP12, Q12のディメンション比は若干異なっている。即ち、トランジスタP11, Q11は、ビット線BLがHレベルリセット電位VRHの時にノードnamp1 $>0.6V$ となるように設定されている。また、トランジスタP12, Q12は、ビット線BLがLレベルリセット電位VRLの時にノードnamp2 $>0.6V$ となるように設定されている。従って、例えばビット線BLが0.5Vの時は、 $namp1 > namp2$ となる。

【0040】図3の動作を図4のタイミングチャート図に従って説明する。図4は、Hレベル読み出しと再書き込み、Mレベル読み出しと再書き込み、Lレベル読み出しと再書き込みを順に動作している。

【0041】[Hレベル読み出しと再書き込み] 先ず、リセット期間では、リセット信号 $\phi RST1$ が立ち上がり、ビット線BLをVRL (0.48V) にリセットし、その時のセンスアンプSA2内のノードnamp2がサンプルパルス $\phi 1$ の立ち下がりによりキャパシタC12にサンプルされる。次にリセット信号 $\phi RST2$ が立ち上がり、ビット線BLをVRH (0.52V) にリセットし、その時のセンスアンプSA1内のノードnamp1がサンプルパルス $\phi 2$ の立ち下がりによりキャパシタC11にサンプルされる。そして最後に、リセット信号 $\phi RST3$ が立ち上がり、ビット線BLはVRM (0.5V) にリセットされる。

【0042】そこで、ワード線WLHが2.0Vまで立ち上がり、メモリセルMCHの選択トランジスタQ31が導通し、ビット線BLには $Cc / (CBL + Cc) \times 0.5V$ (約0.05V) の電位増加が発生する。それによって増幅トランジスタP11, P12によって低下したノードnamp1, 2の電位がサンプルパルス $\phi 3$ でキャパシタC21, C22にサンプリングされる。従って、センスアンプSA1では十分な電位差 ΔV をもって $n11 > n21$ となり、ラッチパルス $\phi LATCH$ の立ち下がりにより、ノードn21は0Vまで引き下げられる。その時、センスアンプSA2側のノードn22も0Vまで引き下げられる。従って、ノードn21とn22はいずれもLレベルとなる。

【0043】そして、再書き込み回路RWがパルス ϕW , ϕW で活性化されると、トランジスタP24とP25がオンし、1Vの電源電位がビット線BLに戻され、メモリセルMCHのキャパシタCaに再書き込みされる。

【0044】[Mレベル読み出しと再書き込み] リセット期間は、上記と同様である。そして、ワード線WLMが2.0Vまで立ち上がると、メモリセルMCM内には0.5Vが記憶されているので、ビット線BLの電位は変化なくリセット電位VRM (0.5V) を維持する。その時のノードnamp1, 2の電位がキャパシタC21, C22にそれぞれサンプリングされる。従って、 $n11 < n21$, $n12 > n22$ の状態が、ラッチパルス $\phi LATCH$ の立ち下がりによりラッチされる。従って、ノードn21はHレベル、n22はLレベルとなる。

【0045】その後、再書き込み回路RWがパルス ϕW , ϕW で活性化されても、トランジスタP24, Q28はオフのままで、ビット線BLの電位はリセット電位の0.5Vのままに維持され、メモリセルMCMに再書き込みされる。

【0046】[Lレベル読み出しと再書き込み] リセッ

ト期間は、上記と同様である。そして、ワード線WLLが2.0Vまで立ち上がると、メモリセルMCL内には0Vが記憶されているので、ビット線BLの電位は $Cc / (CBL + Cc) \times 0.5V$ (約0.05V) の電位低下が発生する。それによって増幅トランジスタP11, P12によって増加したノードnamp1, 2の電位がサンプルパルス $\phi 3$ でキャパシタC21, C22にサンプリングされる。従って、センスアンプSA2では十分な電位差 ΔV をもって $n12 < n22$ となり、ラッチパルス $\phi LATCH$ の立ち下がりにより、ノードn22はHレベルとなる。その時、センスアンプSA1側のノードn21もHレベルになる。従って、ノードn21とn22はいずれもHレベルとなる。

【0047】そして、再書き込み回路RWがパルス ϕW , ϕW で活性化されると、トランジスタQ27, Q28がオンし、0Vの電源電位がビット線BLに戻され、メモリセルMCLのキャパシタCcに再書き込みされる。

【0048】以上の様に、Hレベル検出とLレベル検出をそれぞれ専用に行なうセンスアンプを1組使用することで、1Vの電源電圧下での3値レベルをメモリセルから確実に読みだして再書き込みすることができる。

【0049】[3値インバータ等] 上記した様に、再書き込み回路RWの出力には、Hレベル (1V), Mレベル (0.5V), Lレベル (0V) がそれぞれ読みだされる。従って、その出力を図示しない出力回路に供給する必要がある。或いは図示しない入力回路から書き込み回路まで3値信号を供給する必要がある。メモリセルアレイが複数のブロックに分割されている場合などは、その中間で増幅する必要がある。また、出力回路内等で必要に応じて、Hレベルを検出したり、Lレベルを検出したりする回路も適宜利用することが必要になる。そこで、以下に3値インバータ、Hレベル検出回路、Lレベル検出回路の例について説明する。

【0050】図5は、3値インバータ回路例であり、図6はその動作波形図である。この回路は、図3の再書き込み回路と同様の動作を行なう。電源電圧は1V、PチャンネルMOS及びNチャンネルMOSそれぞれのトランジスタの閾値は0.6Vと-0.6Vである。

【0051】図5の回路は、クロック ϕ , ϕ で活性化されるインバータP31, P32, Q33, Q34と、リセットトランジスタQ35から構成される。その動作は、リセット時に、クロック ϕ , ϕ を1V, 0VにしてトランジスタP32, Q33をオフ状態にし、リセット信号RSTを1.5Vに立ち上げて出力端子をMレベルの0.5Vにリセットする。その後、リセット信号RSTを0Vに立ち下げて、クロック ϕ , ϕ を0V, 1VにしてトランジスタP32, Q33をオン状態にしてインバータを活性化する。この時、入力電位がHレベル (1V) であればトランジスタQ34がオンして出力端

子にはLレベル(0V)が出力される。また、入力電位がLレベル(0V)であればトランジスタP31がオンして出力端子にはHレベル(1V)が出力される。入力電位がMレベル(0.5V)の時にはトランジスタP31の閾値電圧より高くP31はオフ、トランジスタQ34の閾値電圧より低くQ34もオフで、出力端子にはリセットレベルの0.5Vがそのまま出力される。

【0052】かくして、入力電位がH, M, Lレベルに対応して、出力電位はL, M, Hレベルになる。従って、このインバータ回路を2段接続することにより、波形成形が可能になる。

【0053】図7は、Hレベルを検出する回路であり、図8はその動作波形図である。この回路では、リセット電位が1Vに設定されている。後は、図5の回路と同じである。即ち、リセット期間に出力端子が1Vにリセットされ、その後クロックφ、/φを0V, 1VにしてトランジスタP42, Q43がオン状態になりインバータが活性化される。入力電位がNMOSトランジスタQ44の閾値電圧(0.6V)以上のHレベルの時は、Q44がオンして出力電圧がLレベルにされる。Hレベル以外の場合は、トランジスタQ44がオフとなり、入力電位がリセット電位の1Vを維持する。

【0054】図9は、Lレベルを検出する回路であり、図10はその動作波形図である。この回路では、リセット電位が0Vに設定されている。後は、図5の回路と同じである。即ち、リセット期間に出力端子が0Vにリセットされ、その後クロックφ、/φを0V, 1VにしてトランジスタP52, Q53がオン状態になりインバータが活性化される。入力電位がPMOSトランジスタP51の閾値電圧(1-0.6V)以下のLレベルの時は、P51がオンして出力電圧をHレベルにする。Lレベル以外の場合は、トランジスタP51がオフとなり、入力電位がリセット電位の0Vを維持する。

【0055】[2進3ビットを3進2ビットに変換する回路] 3値DRAMを構成するためには、その入力段でシステム側の2進数の信号を内部記憶用の3進に変換することが必要である。一方、出力段ではその逆の変換も必要になる。

【0056】図11は、本発明にかかる2進3ビットを3進2ビットに変換する概略回路図である。図12はその詳細回路図、図13は動作を説明するための変換表、図14は動作を説明するための波形図である。

【0057】B0, B1, B2がH, Lレベルからなる2進数3ビット入力信号で、T0, T1がH, M, Lレベルからなる3進数2ビット出力信号である。従って、10進数で言うと0~7の数が、2進数から3進数に変換される。

【0058】この回路の基本的な考え方は、通常は、2進数の下位ビットB0, B1がそのまま3進数の下位ビットT0をコントロールする。従って、マルチプレクサ

MPX2は入力としてB0を選択し、その出力nt01にB0の反転信号が出力される。また、マルチプレクサMPX1は入力としてB1を選択し、その出力nt0hにB1の反転信号が出力される。一方、3進数の上位ビットT1は、B2がLの時はLレベルに、B2がHの時はMレベルにされる。

【0059】また、2進数の下位2ビットが(B1, B0) = (H, L)の時は、例外的な処理を行なう。即ち、3進数の上位ビットT1を強制的にHレベルにし、下位ビットT0にB2の反転信号をそのまま出力する。即ち、B2=HでT0=L, B2=LでT0=Hである。

【0060】以上が基本的な考え方であるが、更に動作について詳述する。まず、インバータI1とNANDゲートNA1は、上記の例外処理の(B0, B1) = (L, H)を検出する回路である。検出信号/nmatとその反転信号nmatとが、それぞれのマルチプレクサMPX1, 2やインバータI3, NORゲートNO1等の切り換えを制御する。そして、インバータI4, I5は、それぞれ出力端子がMレベルにリセットされ、リセット後にクロックRS, /RSによって活性化される。

【0061】前述した通り、例外処理の(B1, B0) = (H, L)以外の通常状態では、マルチプレクサMPX1はB1を入力とするインバータとして動作し、MPX2はB0を入力とするインバータとして動作する。従って、3進数の下位ビットT0は、(B1, B0) = (L, L)でT0=L, (B1, B0) = (L, H)でT0=M, (B1, B0) = (H, H)でT0=Hとなる。3進数の上位ビットT1は、前述した通りB2がLの時はLレベルに、B2がHの時はMレベルにされる。

【0062】一方、例外処理の(B1, B0) = (H, L)の場合には、マルチプレクサMPX1, 2は共にB2を入力とするインバータとなる。従って、更にインバータI5を介することにより、下位ビットT0にはB2がそのまま出力される。また、上位ビットT1は、強制的にHレベルになる。

【0063】図12を参照すれば、上記の動作説明がより明確になる。マルチプレクサMPX1, 2は、例外処理を検出するnmat, /nmat信号により制御されて、いずれか一方の入力信号に対するインバータとして動作する。また、インバータI4, I5は、図3の再書込回路RWと同様の動作であり、リセット信号RSTにより出力端子をMレベルにリセットし、RS信号により活性化され、入力のnt1h, nt1lまたはnt0h, nt0lの組み合わせに対して、(H, H)=L, (H, L)=M, (L, L)=Lとなるように動作する。

【0064】図13と14にその動作を説明するための変換テーブルと動作波形図を示す。図示される通り、例

15

外処理以外の場合には、3進数の出力T0、T1は、
(0, 0) (0, 1) (0, 2) (1, 0) (1, 1)
(1, 2)となり、例外処理の時は、(2, 1) (2,
2)となる。

【0065】[3進2ビットを2進3ビットに変換する回路]図15は、3進数2ビット信号を2進数3ビット信号に変換する回路である。また図16はその動作波形図である。この変換は、前述の変換回路の逆変換となる。この回路の場合も、電源電圧が1Vで、NチャネルMOSの閾値が0.6V、PチャネルMOSの閾値が-0.6Vである。

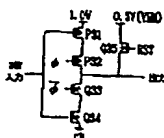
【0066】P81、Q81、Q82及びP91、Q91、Q92は3値信号のHレベルを検出する回路であり、前述の図7の変形例である。リセット信号/RSTを0Vにして出力を1Vに充電し、リセット信号/RSTを1Vにしている間に入力が0.6V以上の電位のHレベルの場合のみ出力を0Vにし、入力がM、Lレベルの時には出力は1Vを維持する。

【0067】P82、P83、Q83及びP92、P93、Q93は3値信号のLレベル検出回路であり、リセット時に出力を0Vにし、入力が0.4V以下の電位のLレベルの時のみ出力を1Vにし、入力がM、Hレベルの時には出力は0Vを維持する。

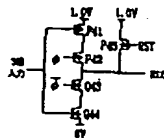
【0068】この逆変換回路では、3値入力のT1がHレベルの時に前述の例外処理を行い、それ以外の場合には、マルチプレクサMPX3はT1のL検出出力のインバータ、MPX4はT0のH検出出力のインバータ、PMX5はT0のL検出出力のインバータとして動作する。また、例外処理の場合には、信号nT1H、/nT1H*によりマルチプレクサを制御し、強制的にB1=H、B0=Lとする。そして上位ビットのB2は、T0がHレベルかLレベルかに従って決定される。

【0069】以上の様な2進数3ビットを3進数2ビットに変換する回路とその逆変換回路を利用することにより、システム側から供給される2進数3ビットを信号に対して3値信号に変換し、前述のメモリセルに記憶し、センスアンプ回路で増幅して読みだして、逆変換により再び2進数3ビット信号に戻して出力することができる。従って、メモリ回路内部では全て3進数の信号で処理を行なうことができ、内部回路や配線は簡単化される。

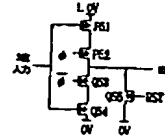
【図5】



【図7】



【図9】



16

【0070】

【発明の効果】以上説明した通り、本発明によれば、1Vの電源を使用したメモリにおいて、3値の情報を従来の1トランジスタと1キャパシタから構成されるメモリセルに記憶させ、適正に読出し、再書き込みすることができる高感度のセンスアンプ回路を提供することができる。また、メモリ内部での3値信号を適宜増幅することができる3値インバータを提供することができる。更に、システム側の2進数の信号との高速変換回路も提供することができ、従来のシステム内に組み込んで使用すること何らの支障もない。

【図面の簡単な説明】

【図1】本発明にかかるセンスアンプの動作原理を説明する為の回路図である。

【図2】図1の動作原理を説明する為のタイミングチャート図である。

【図3】図1のセンスアンプ回路を3値DRAMに適用した時の回路図である。

【図4】図3の動作を説明するタイミングチャート図である。

【図5】3値インバータ回路例である。

【図6】図5の動作波形図である。

【図7】3値のHレベルを検出する回路である。

【図8】図7の動作波形図である。

【図9】3値のLレベルを検出する回路である。

【図10】図9の動作波形図である。

【図11】2進3ビット信号を3進2ビット信号に変換する回路である。

【図12】図11の詳細回路図である。

【図13】図11、12の変換図表である。

【図14】図11、12の動作波形図である。

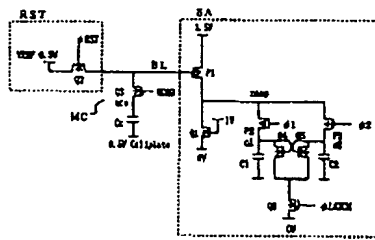
【図15】3進2ビット信号を2進3ビット信号に変換する回路である。

【図16】図15の動作波形図である。

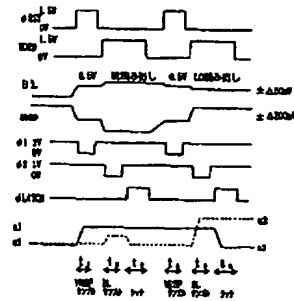
【符号の説明】

RST リセット回路
SA センスアンプ回路
BL ビット線
MC メモリセル
RW 再書き込み回路
MPX マルチプレクサ

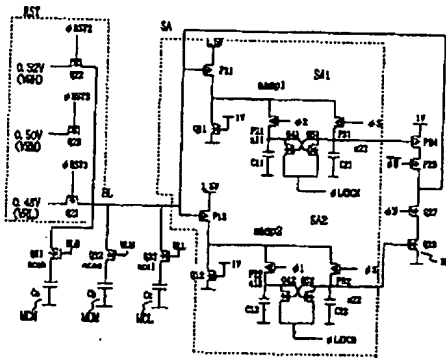
【図1】



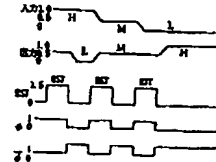
【図2】



【図3】

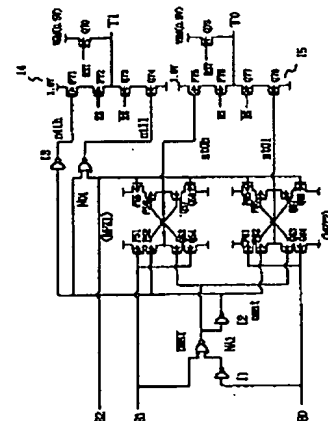


【図6】

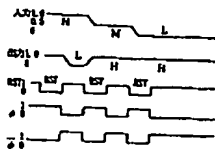


【図12】

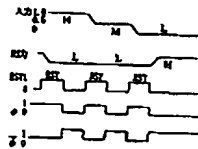
2進3ビット→3進2ビット



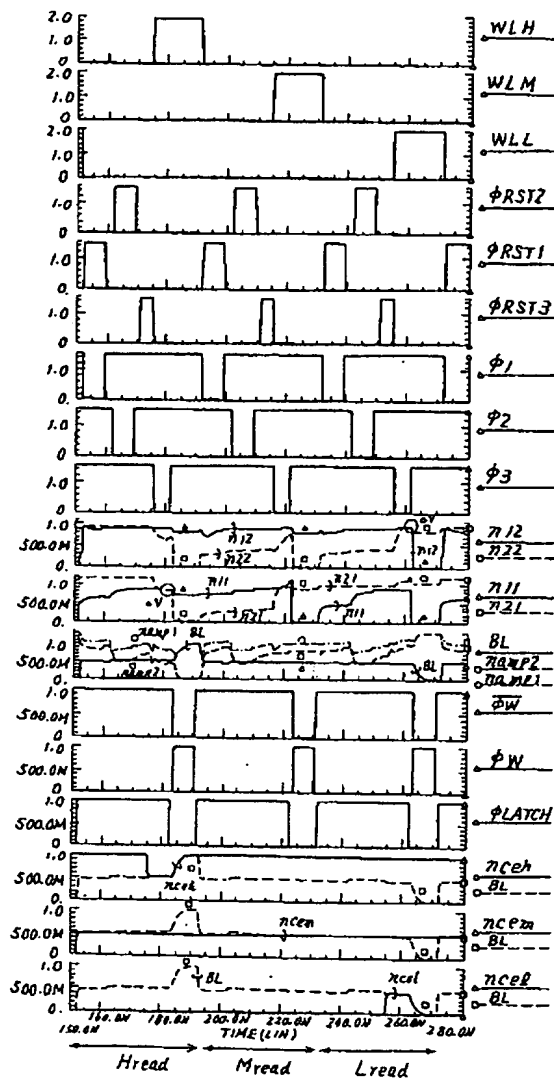
【図8】



【図10】

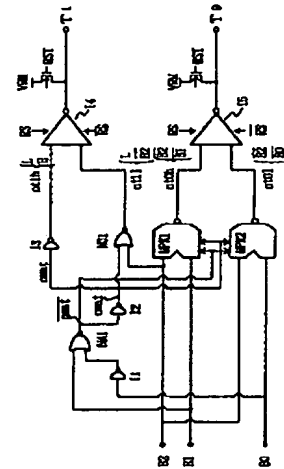


【図4】



【図11】

2進3ビット→3進2ビット

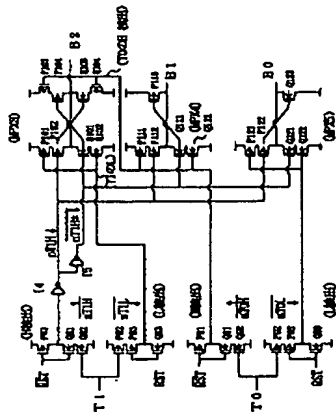


【図13】

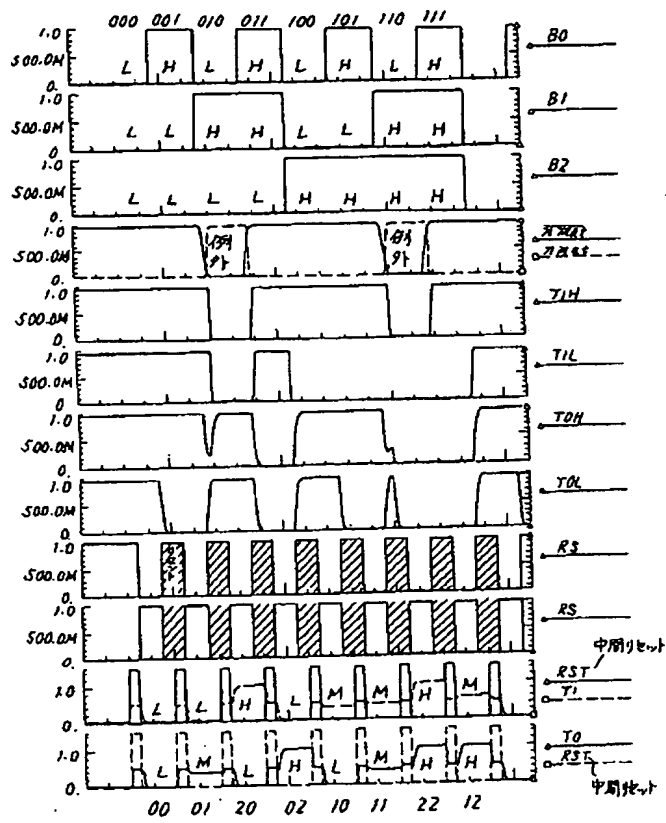
10進	2進3ビット B ₂ B ₁ B ₀	outL	outH	outL	outH	outL	outH	3進3ビット T ₁ T ₂
0	0 0 0 (LLL)	L	H	H	0	0	0	0 0 (LL)
1	0 0 1 (LLH)	L	H	H	0	0	1	0 1 (LH)
2	0 1 0 (LHL)	H	L	L	0	0	0	2 0 (HL)
3	0 1 1 (LHH)	L	H	H	0	0	1	0 2 (LH)
4	1 0 0 (HLL)	L	H	H	0	0	0	1 0 (HL)
5	1 0 1 (H LH)	L	H	H	0	0	1	1 1 (HH)
6	1 1 0 (HHH)	H	L	L	0	0	0	2 2 (HH)
7	1 1 1 (HHH)	L	H	H	0	0	1	1 2 (HH)

【図15】

3進2ビット→2進3ビット

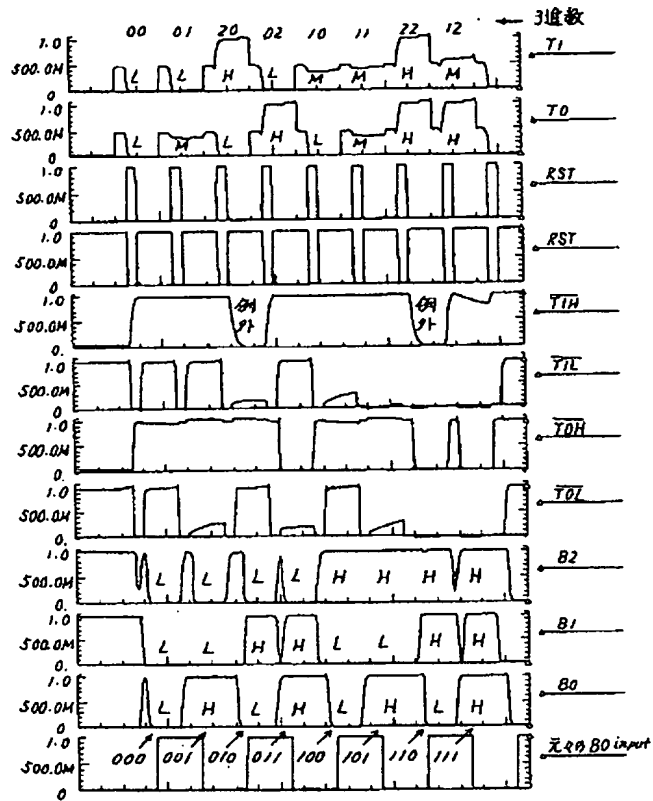


【図14】



【図16】

3進2ビット → 2進3ビット



文)

特許庁 意見提出（拒絶理由）通知書

出願人 氏名 日本電気株式会社
住所 日本国東京都港区芝5丁目7番1号
代理人 氏名 趙義済
住所 ソウル市江南区駅三洞831 恵泉ビル1405号
出願番号 10-2001-0018053
発明の名称 半導体メモリ装置とテストシステム及びテスト方法

この出願に対する審査の結果、次のような拒絶理由があつて特許法第63条の規定によりこれを通知しますので、意見があるかまたは補正が必要な場合には2003年3月27日までに意見書または／及び補正書を提出願います（上記提出期間については毎回1ヶ月単位で延長申請することができますが、期間延長の承認通知は別途に致しません）。

理 由 1

この出願の特許請求範囲の記載が不備であつて、特許法第42条第4項の規定による要件を満たしていないので、特許を受けることができない。

記

請求範囲第6項に記載された発明は、発明の構成に欠くことのできない必須構成要素と構成要素の相互間の有機的な関連記載が不十分であるものと判断される。

理 由 2

この出願の特許請求範囲に記載された発明は、その出願前にこの発明の属する技術分野で通常の知識を有する者が下記に指摘したところにより容易に発明できたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

本願はメモリセルからビットラインに読み出されたアナログデータ信号電位（ビットライン読み出し電位）を精密に測定できる半導体メモリ装置とテストシステム及びテスト方法に関するものであるが、

請求範囲第1、2項に記載された発明は、日本公開特許公報平10-233100号(98.9.2)のセルプレー

ビット線及びワード線電位昇圧手段、ビット電位検知手段などを備える半導体メモリ装置及びその検査方法に記載された技術と、日本公開特許公報平9-97496号(97.4.8)の強誘電体メモリ装置に記載された基準電位発生技術と対比したとき、一部構成上の差異はあるが、これが該当技術分野で単に設計変更できる程度に過ぎないものである。

[添付]

添付1 日本公開特許公報平10-233100号(98.9.2)

添付2 日本公開特許公報平9-97496号(97.4.8) 以上

2003. 1. 27

特許庁

審査4局

情報審査担当官室

審査官 金世栄(印)